

Comparação de Desempenho Entre Arbitragem Round-Robin e Arbitragem Round-Robin Com Canais Virtuais em Redes-em-Chip

1st Samuel da Silva Oliveira
Departamento de Informática e Matemática
Aplicada
Universidade Federal do Rio Grande do Norte
Natal, Brazil
samuel@imd.ufrn.br

2nd Márcio Eduardo Kreutz
Departamento de Informática e Matemática
Aplicada
Universidade Federal do Rio Grande do Norte
Natal, Brazil
kreutz@dimap.ufrn.br

ABSTRACT

Communication between components within a chip is essential for tasks and deadlines can be met. Network-to-Chip communication architectures have become a great option to replace the bus in this task due to its inherent scalability. One of the One component that may impact the timing of data arrival is the arbitration scheme of choice, as the arbitrators have the function of scheduling packets to be sent to the next router, depending on some priority criteria. This paper focuses on comparing performance between two arbitration schemes, Round-Robin and virtual channels. To this end, different traffic patterns and different injection rates are tested. Results show that the use of virtual channels can provide more optimized latency gain solutions and are therefore suitable for applications with more restricted time constraints.

Keywords

Network-on-Chip, Round-Robin, Virtual Channel

ABSTRACT

A comunicação entre componentes dentro de um chip é essencial para que tarefas e prazos possam ser cumpridos. Arquiteturas de comunicação do tipo Redes-em-Chip tornaram-se uma ótima opção para substituir o barramento nesta tarefa, em função de sua inerente escalabilidade. Um dos componentes que pode causar impacto no tempo para a chegada dos dados é o esquema de arbitragem escolhida, uma vez que os árbitros tem a função de escalonar pacotes a serem enviados para o próximo roteador, em função de um algum critério de prioridade. Este artigo foca na comparação de desempenho entre dois esquemas de arbitragem, Round-Robin e canais virtuais. Para tanto, são testados diferentes padrões de tráfego e diferentes taxas de injeção. Resultados mostram

Permission to make digital or hard copies of all or part of this work for personal or classroom use is granted without fee provided that copies are not made or distributed for profit or commercial advantage and that copies bear this notice and the full citation on the first page. To copy otherwise, or republish, to post on servers or to redistribute to lists, requires prior specific permission and/or a fee.

que o uso de canais virtuais pode fornecer soluções mais otimizadas em ganhos de latência sendo portanto, indicados para aplicações com restrições temporais mais restritas.

Keywords

Redes-em-Chip, Round-Robin, Canais Virtuais

1. INTRODUÇÃO

A cada ano, mais transistores são miniaturizados e colocados na mesma placa de silício. Devido a isso surgiram sistemas que puderam ser incorporados dentro de um único chip. Antes, os SoCs (*System-on-Chips*) eram simples sistemas que não eram tão complexos e conseguiam atender as aplicações que surgiam. Com o tempo esses sistemas então cresceram e as aplicações incorporadas se tornaram cada vez mais complexas, e vários elementos de processamento (EP) foram incorporados ao projeto de silício com seus bilhões de transistores. Esses sistemas são conhecidos como MP-SoCs (*Multiprocessor System-on-Chips*).

Como os MPSoCs têm vários núcleos internos, é necessário haver comunicação entre eles. Vários modelos de comunicação podem executar essa tarefa, como: ponto a ponto, barramento e rede-em-chip. Comumente os barramentos são usados para este propósito, mas devido a algumas desvantagens, como aumento de capacitância, não-escalabilidade e ausência de paralelismo eles não são adequados para aplicações com diversos núcleos de processamento e assim acabou sendo deixado de lado.

A fim de superar algumas das desvantagens do uso do barramento, uma nova arquitetura de comunicação chamada Redes-em-Chip (*Network-on-Chip - NoC*) foi proposta no início dos anos 2000 [3]. As NoCs são compostas por roteadores que são interconectados por meio de alguma topologia, para rotear as mensagens entre os elementos de processamento. Essas redes são reutilizáveis, possuem alta escalabilidade, paralelismo na comunicação, entre outras características que fizeram das NoCs um dos paradigmas de comunicação intra-chip mais utilizados.

Uma boa maneira de reduzir essa contenção é fazer bom uso de arbitragem e roteamento. Além disso, modificar as posições dos nós de origem e destino (mapeamento de rede) causam um grande impacto no tempo necessário para alcançar seu destino. Dada uma aplicação específica, o mapeamento visa adaptar os nós para a melhor posição possível para diminuir a latência de comunicação [17].

Para se obter uma rede que atenda às expectativas de desempenho, é fundamental durante a fase de projeto testar vários critérios. Desta forma, podemos analisar se a rede pode ou não alcançar os resultados que estamos procurando, com base nas métricas definidas.

Quando se é procurada uma melhoria na latência, devem ser observadas as características dos padrões de comunicação da aplicação alvo, devido ao impacto provocado por variações nas taxas de injeção de pacotes na rede. Com isso, pode-se observar se os componentes internos e as técnicas utilizadas são suficientes para suprir os problemas de projeto. Se não forem, podem ser modificados alguns outros fatores até alcançarmos os resultados desejados.

Este artigo tem como objetivo comparar o desempenho de quatro tipos de arquiteturas de NoC. A primeira arquitetura usa arbitragem Round-Robin e as outras usam arbitragem Round-Robin acrescida de dois, quatro e oito canais virtuais. O objetivo desse trabalho é obter respostas observando as arquiteturas que mostram os melhores resultados para o número de latência média usando diferentes padrões de tráfego testados. A escolha da métrica da latência para realizar essa comparação se dá ao fato de que estamos buscando a melhor arquitetura otimizada no quesito desempenho de comunicação para cada mensagem.

Além de alterar os padrões de tráfego, as taxas de injeção dos pacotes serão modificadas para melhor avaliar as respostas das redes frente ao uso mais intenso de seus recursos.

2. TRABALHOS RELACIONADOS

Na literatura existem vários trabalhos que buscam minimizar a latência das redes. Para este propósito, várias técnicas têm sido empregadas para alcançar esse fim.

Em [10], são usados até 8 canais virtuais com diferentes níveis de prioridades. Nesse estudo, é testado um mapeamento estático de tarefas em tempo real para uma rede Mesh 4x4. Para a realização desse mapeamento é usado um algoritmo genético e assim são testadas as melhores posições para os nós. Os resultados apresentados neste trabalho mostram como a heurística é efetiva para identificar soluções onde se obtém o cumprimento de prazos de entrega dos pacotes, atingir um bom consumo de energia e utilizar um número adequado de canais virtuais.

O trabalho [7] usa a ferramenta RedScarf para gerar informações sobre tipo, tamanho da rede e tráfego. Também é desenvolvida uma biblioteca de componentes simuláveis que é integrada na ferramenta de simulação. O objetivo do trabalho é avaliar e comparar o desempenho de diferentes arquiteturas de NoCs através do uso da ferramenta. Foi observado que a topologia Mesh 2D, que é uma das topologias mais utilizadas em redes-em-chip, apresentou desempenho inferior a outras topologias que são convencionais, como a Torus 2D e a Mesh 3D. A Mesh 3D foi a topologia que apresentou melhor escalabilidade no desempenho de diferentes dimensionamentos e também foi superior a crossbar em um cenário com uma maior injeção de pacotes em redes com 16 nós. Também foi mostrado que roteamento adaptativo foi melhor para redes com menos tráfego e roteamento determinístico é melhor para uma rede com tráfego mais intenso. E por fim percebeu-se que com o dimensionamento certo dos *buffers* o desempenho pode ser melhorado em até 7 vezes.

Já em [11] um algoritmo genético é usado para realizar o mapeamento de diferentes padrões de tráfego nas redes testadas. Para tanto, topologias irregulares são geradas, as

quais podem levar à melhores otimizações para determinadas aplicações, fazendo uso de um roteamento especial em que cada roteador tem uma tabela que indica os roteadores vizinhos e a quantidade de saltos. Esse trabalho visa reduzir a latência média e o número de conexões entre roteadores quando comparado a uma rede de topologia de Mesh. Nos resultados obtidos, além de se conseguir uma redução na latência, consegue reduzir o número de conexões dos roteadores em até 54%, o que dá uma boa redução de área e consumo de energia.

Em [14] usando a placa Xilinx ZCU102 FPGA, desenvolve dois métodos de otimização de arbitragem baseado em roteadores com canais virtuais. Os métodos desenvolvidos consistem na arbitragem *crossbar* e na arbitragem com intercepção. Os resultados obtidos através do experimento mostra que as abordagens desenvolvidas nesse trabalho supera o roteador com canal virtual convencional, reduzindo o recursos lógico em aproximadamente 10% e obtendo um desempenho duas vezes melhor.

O trabalho publicado em [23] propõe um algoritmo de roteamento que seja adaptativo, com o objetivo de minimizar o consumo de energia e maximizar o desempenho da rede. O trabalho aborda novas técnicas, como vários pacotes sendo entregues ao mesmo canal físico, através de diferentes canais virtuais, também é proposto um novo modelo de estimativa de potência em nível de sistema com precisão de ciclo, ignorando os saltos de qualquer cumprimento e os saltos normais na rede original podem compartilhar os mesmo canais virtuais. Os resultados obtidos mostram uma grande performance das técnicas utilizadas, aumentando o desempenho e reduzindo o consumo de energia. Os resultados obtidos apresenta valores muito melhores em latência, validando assim o modelo proposto.

O trabalho [18] apresenta uma comparação entre algoritmos de roteamento, um chamado O1turn, cujo objetivo é obter um pior caso de vazão quase que ideal. O trabalho visa comparar o algoritmo o1turn com o algoritmo de roteamento RTM. Os dois algoritmos são comparados através de simulações detalhadas, onde a quantidade de canais virtuais é alterada. Os resultados da simulação mostram que o roteamento RTM tem um melhor desempenho que o roteamento O1turn na maioria dos cenários de tráfego. O desempenho do algoritmo O1turn aumenta a medida que mais canais virtuais são acrescentados.

Diferente de todos os outros trabalhos mostrados nessa seção, a nossa proposta tem por objetivo realizar uma comparação em quatro arquiteturas de NoCs, usando como métrica de avaliação a taxa de latência, buscando assim uma arquitetura que atenda melhor as restrições de latência sem comprometer tanto a área do projeto.

Neste trabalho, é pretendido diminuir a latência média fazendo a comparação de desempenho entre uma arquitetura usando arbitragem Round-Robin e outras usando Round-Robin e canais virtuais. Para melhores resultados, serão utilizados diferentes tipos de padrões de tráfego e taxas de injeção.

O simulador BookSim [15] foi utilizado para a simulação dos experimentos.

3. MOTIVAÇÃO

O processo de comunicação em MP-SoCs é muito importante para que toda a aplicação funcione adequadamente. Com isso cada vez mais esse processo é estudado e melho-

rado. Barramentos se tornaram ineficazes para serem utilizados em aplicações cada vez mais complexas e deram lugar as redes-em-chip para realizarem esse trabalho de comunicação.

Na comunicação a latência é um fator de grande importância, pois ela que dita quão rápido as mensagens chegam nos seus destinos. Vários fatores internos podem contribuir para a latência aumentar ou diminuir, dentre eles podem ser citados o tipo de arbitragem e o controle de fluxo.

Nessa pesquisa são trabalhados esses dois fatores para tentar se obter uma diminuição na taxa de latência média de uma rede NoC. Para isso é utilizada a arbitragem do tipo Round-Robin que constitui de um árbitro central justo, onde a cada ciclo de clock a prioridade de envio de pacotes é mudada para outro canal. Também foi adotado o uso de canais virtuais, que são técnicas de controle de fluxo que dividem o canal físico em vários canais lógicos para que os pacotes possam trafegar.

4. DESCRIÇÃO DO PROBLEMA

Vários fatores podem contribuir para uma taxa de latência média melhor em uma rede Mesh. Esses fatores podem ser o tipo de arbitragem, tamanhos dos *buffers*, controle de fluxo, mapeamento dos cores, entre outros. A alteração de qualquer um desses fatores pode aumentar ou diminuir o valor final de latência da rede. Portanto, a exploração do espaço de projeto é uma boa maneira de ver formas mais eficientes de obter os resultados esperados.

Nesse trabalho é utilizada a arbitragem Round-Robin como critério de avaliação em uma exploração do espaço de projeto, onde foi realizado um aumento no número de canais virtuais, visando diminuir a latência média. Inicialmente a rede não tem nenhum canal virtual e então esse número é aumentado gradativamente, variando entre 2 e 8 canais virtuais em cada roteador. Para se poder analisar o desempenho em latência na rede, vários padrões de tráfego também são usados, assim como a variação na taxa de injeção dos pacotes.

A latência medida neste trabalho é a soma dos fatores: sobrecarga, ocupação de canal, atraso de roteamento e comutação. A sobrecarga é o tempo necessário para injetar e enviar mensagens na rede, já a ocupação do canal é o tempo em que é gasto para transferir a mensagem pelos canais de comunicação. O atraso de roteamento se dá em função da rota usada para as mensagens chegarem ao destino. Por último, o atraso de contenção é o tempo que as mensagens são interrompidas devido ao congestionamento da rede. Esses quesitos possuem forte impacto na latência final de cada pacote.

O cálculo realizado para encontrar a latência média foi a soma de todas as latências, divididas pelo número de pacotes enviados.

A latência média será dada em ciclos de clock.

$$Latência\ Média = \sum_{i=1}^{N^o\ de\ Pacotes} \frac{Latência\ dos\ Pacotes}{N^o\ de\ Pacotes} \quad (1)$$

O objetivo dessa pesquisa então é a comparação do desempenho de várias redes diferentes para termos noção da que teremos melhores valores de latência, para que em tempo de projeto possa-se optar pela arquitetura mais otimizada.

5. METODOLOGIA

Para efeito de pesquisa foi escolhida a topologia Mesh por ser uma topologia bastante utilizada por pesquisadores e projetistas. Essa topologia tem seus roteadores interligados em uma malha 2D. Nesse trabalho é então usada uma topologia 4x4, ou seja, uma rede contendo 16 roteadores. Na figura 1 pode-se ver um exemplo de uma topologia mesh 3x3.

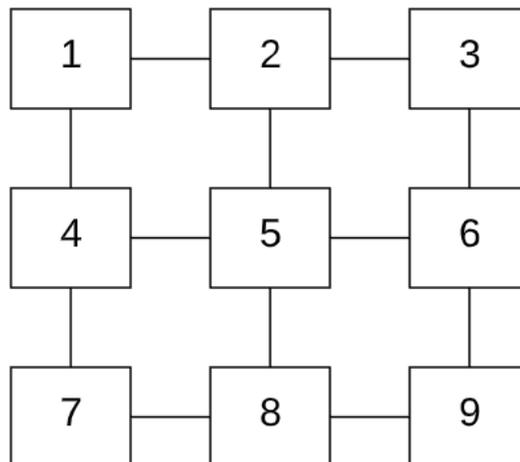


Figura 1: Exemplo de uma topologia Mesh

Para uma análise mais precisa dos resultados foram utilizados diferentes padrões de tráfego e diferentes taxas de injeção. Com a variação na quantidade de pacotes injetados e na comunicação da rede podemos ter uma comparação mais detalhada entre os resultados obtidos.

Os resultados são expostos em gráficos comparando lado a lado e dividindo por padrões de tráfego e taxas de injeção. Também são despostas tabelas realizando a comparação de desempenho através do teste estatístico T.

6. RESULTADOS EXPERIMENTAIS

Os experimentos deste trabalho foram realizados no simulador BookSim [15]. BookSim é um simulador de precisão de ciclo para redes-em-chip e desenvolvido em C ++. O simulador possui diversas topologias para NoC, incluindo Mesh, que é a topologia utilizada nessa pesquisa. Com suas características, a ferramenta pode atender às necessidades expostas nesse trabalho.

Nos testes e comparações realizados, as redes Mesh com arbitragem Round-Robin e com diversas variações de quantidade de canais virtuais, foram utilizados 5 tipos de padrões de tráfego diferentes.

Abaixo as figuras de 2 a 6 ilustram os diferentes padrões de tráfego.

Também foram considerados 3 tipos taxas de injeção diferentes para os pacotes. Uma taxa baixa, que enviava pacotes a cada ciclo, uma taxa média, onde os pacotes eram injetados a cada meio ciclo e uma taxa alta, em que os pacotes eram injetados a cada $1/20$ ciclos.

A pesquisa e os experimentos foram feitos usando uma rede de Mesh 4x4 com controle de fluxo tipo *wormhole*, *buffers* que cabem 8 flits, roteamento do tipo *dim_order*. O modelo de arbitragem utilizado foi o Round-Robin e com o

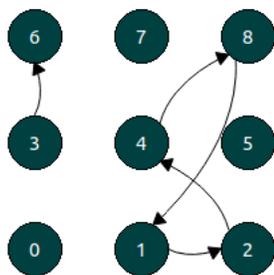


Figura 2: Padrão de Tráfego Shuffle

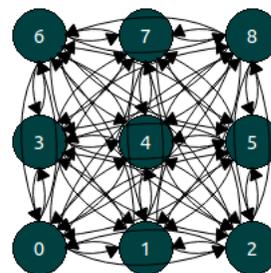


Figura 6: Padrão de Tráfego Uniform

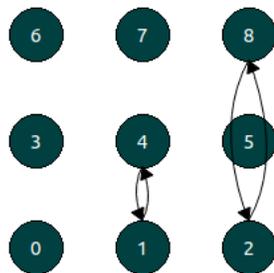


Figura 3: Padrão de Tráfego Transpose

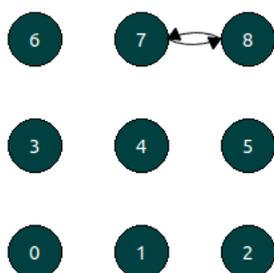


Figura 4: Padrão de Tráfego Bitcomp

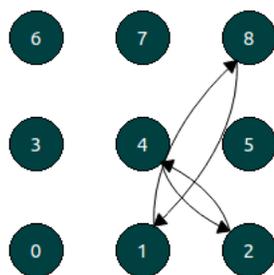


Figura 5: Padrão de Tráfego Bitrev

500GB de armazenamento. O sistema operacional utilizado foi o Ubuntu 18.04.

Abaixo pode-se ver os 4 gráficos com os resultados proporcionais à cada configuração testada. Cada gráfico contém um tipo de rede diferente e os resultados que são divididos por taxas de injeção e padrões de tráfego. Cada cor diferente é um padrão de tráfego, que pode ser visto na legenda do gráfico. O resultado número 1 é relativo a injeção baixa, o número 2 a injeção média e o número 3 a injeção alta. Logo após são apresentadas 3 tabelas com resultados relativos ao teste t, realizando as comparações de desempenho entre as redes, sempre comparando a rede sem canais virtuais com redes com variações no número destes.

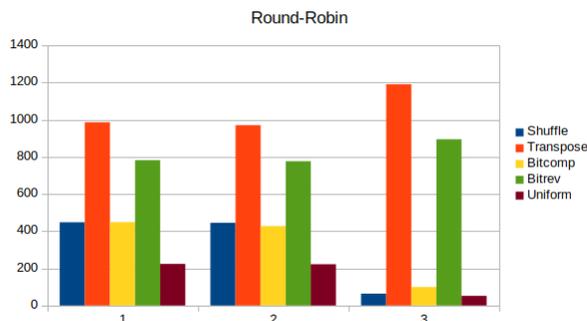


Figura 7: Rede Round-Robin

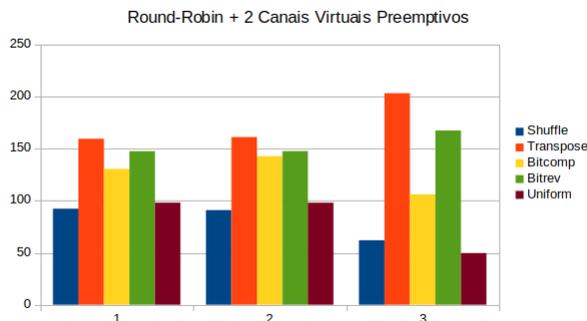


Figura 8: Rede Round-Robin Com 2 Canais Virtuais

número de canais virtuais variando de 2 a 8.

A comparação da latência média se dá em função da variação no padrão de tráfego, na taxa de injeção e no número de canais virtuais. Os valores médios de latência mostrados nas tabelas são dados em ciclos de relógio.

Nas simulações foi utilizado um computador com um processador Intel Core i5 com 1.7Ghz, 8GB de memória RAM e

6.1 Comparação dos Resultados

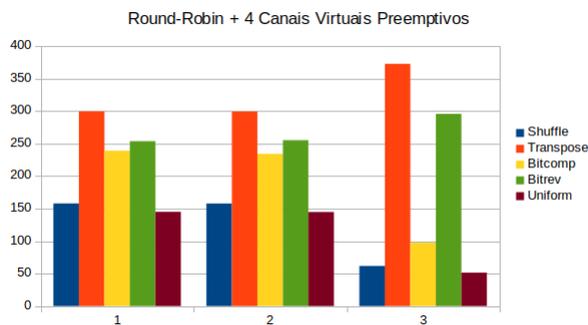


Figura 9: Rede Round-Robin Com 4 Canais Virtuais

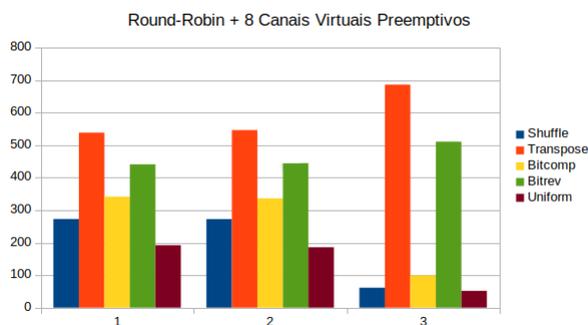


Figura 10: Rede Round-Robin Com 8 Canais Virtuais

Table 1: Round-Robin vs 2 CVs

Padrão de Tráfego	Teste T
Shuffle	0,181
Transpose	0,004
Bitcomp	0,227
Bitrev	0,002
Uniform	0,177

Table 2: Round-Robin vs 4 CVs

Padrão de Tráfego	Teste T
Shuffle	0,180
Transpose	0,004
Bitcomp	0,180
Bitrev	0,002
Uniform	0,182

Table 3: Round-Robin vs 8 CVs

Padrão de Tráfego	Teste T
Shuffle	0,178
Transpose	0,002
Bitcomp	0,185
Bitrev	0,002
Uniform	0,185

O tipo de teste usado para analisar os resultados foi o teste T pareado de duas caudas. Para fins de teste, um nível de significância de 5 % é deixado como valor padrão. Qualquer valor abaixo de 0,05 pode ser considerado uma grande variação entre os dois intervalos de teste.

A figura 7 mostra os resultados relativos a latência de uma rede que utiliza apenas arbitragem round-robin. A figura 8 usa uma rede round-robin com o acréscimo de 2 canais virtuais. A figura 9 mostra os resultados de latência para quando temos 4 canais virtuais e a figura 10, 8 canais virtuais.

Todos os testes foram realizados com base na rede com arbitragem Round-Robin e nenhum canal virtual. Com isso 3 tabelas foram geradas. A tabela 1 faz a comparação com 2 canais virtuais, a tabela 2 compara com 4 canais virtuais e a tabela 3 realiza a comparação com 8 canais virtuais. Cada resultado do teste T em cada linha das tabelas leva em consideração as amostras de baixa, média e alta latência.

Como mostrado nas tabelas a variação entre as latências médias comparadas à única rede com Round-Robin tem uma grande significância, já que os resultados estão abaixo de 0,05 que é o padrão adotado pelo Teste T. Pode-se observar que, quando comparados, obtém-se uma boa redução na latência média quando são usados canais virtuais. A rede com 2 canais virtuais foi a que se mostrou com os melhores resultados de latência. Quanto mais canais virtuais são colocados na rede, mais pode-se evitar a contenção de pacotes, já que o número de *buffers* por porta é aumentado. No entanto para escolher e acessar um devido canal virtual são gastos alguns ciclos nesse processo. Por isso é observado que a rede com 2 canais virtuais, apesar de ter menos canais que a demais, obteve resultados melhores de latência, já que a arbitragem Round-Robin leva menos tempo para escolher um canal, por ter menos opções que as demais redes que utilizam canais virtuais.

7. CONCLUSÃO E TRABALHOS FUTUROS

Nesse trabalho foram testadas diferentes arquiteturas de rede que usam arbitragem do tipo Round-Robin e a presença ou não de canais virtuais. Para efeitos de análise e desempenho foi utilizada a ferramenta BookSim que é amplamente usada na literatura. Foram também utilizados diversos padrões de tráfego e taxas de injeção afim de validar os resultados. Também foi feito uso do teste estatístico T para analisar o resultado, comparando os diversos conjuntos de dados para ver se existia uma grande diferença entre os resultados.

Pode-se então observar que quando canais virtuais são adicionados em uma rede, existe uma diminuição nas taxas médias de latência. Essa diminuição na latência ainda está presente quando são alterados os padrões de tráfego ou a taxa de injeção de pacotes. Então pode-se dizer que a utilização de canais virtuais em uma NoC conseguem diminuir a latência média, se comparada a uma rede sem o uso de canais virtuais.

A rede contendo apenas dois canais virtuais pode então atender às expectativas de latência e, em comparação com as outras redes contendo canais virtuais, é aquela que ocupa a menor área do projeto. Assim pode-se afirmar que redes contendo 2 canais virtuais podem ser consideradas uma boa escolha quando é desejável se ter uma diminuição na taxa de latência média, impactando o mínimo possível na área.

Como trabalhos futuros, planeja-se testar topologias irregulares como alternativa à topologia Mesh. Topologias

irregulares permitem usar apenas os roteadores necessários para as comunicações da aplicação alvo, o que pode levar à otimizações em desempenho e área. Outro caminho que pode ser explorado é o uso de roteadores heterogêneos. Roteadores heterogêneos podem otimizar a rede de diferentes formas, devido as características únicas que podem assumir. Com isso espera-se conseguir valores de latência ainda mais otimizados.

Agradecimentos

Este estudo foi financiado em parte pela Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001.

8. REFERENCES

- [1] A. Agarwal, C. Iskander, and R. Shankar. Survey of network on chip (noc) architectures & contributions. *Journal of engineering, Computing and Architecture*, 3(1):21–27, 2009.
- [2] M. O. Agyeman, J.-X. Wan, Q.-T. Vien, W. Zong, A. Yakovlev, K. Tong, and T. Mak. On the design of reliable hybrid wired-wireless network-on-chip architectures. In *Embedded Multicore/Many-core Systems-on-Chip (MCSoc), 2015 IEEE 9th International Symposium on*, pages 251–258. IEEE, 2015.
- [3] L. Benini and G. De Micheli. Networks on chips: A new soc paradigm. *computer*, 35(1):70–78, 2002.
- [4] E. Bolotin, I. Cidon, R. Ginosar, and A. Kolodny. Qnoc: Qos architecture and design process for network on chip. *Journal of systems architecture*, 50(2-3):105–128, 2004.
- [5] J. Chen and P. Dai. Multicast transmission with energy-proportional power-gating scheme for wireless interconnects noc. In *Globecom Workshops (GC Wkshps), 2015 IEEE*, pages 1–6. IEEE, 2015.
- [6] É. Cota, A. de Moraes Amory, and M. S. Lubaszewski. *Reliability, Availability and Serviceability of Networks-on-chip*. Springer Science & Business Media, 2011.
- [7] E. A. da Silva and C. A. Zeferino. Análise arquitetural comparativa do desempenho de redes-em-chip baseada em simulação. *XVIII Simpósio em Sistemas Computacionais de Alto Desempenho-WSCAD*, 2017.
- [8] W. J. Dally and B. P. Towles. *Principles and practices of interconnection networks*. Elsevier, 2004.
- [9] R. Das, S. Eachempati, A. K. Mishra, V. Narayanan, and C. R. Das. Design and evaluation of a hierarchical on-chip interconnect for next-generation cmps. In *High Performance Computer Architecture, 2009. HPCA 2009. IEEE 15th International Symposium on*, pages 175–186. IEEE, 2009.
- [10] M. E. D. T. DE APLICAÇÕES, R. E. S. B. DE TEMPO, and E. REDE-EM-CHIP. Jaison valmor bruch.
- [11] J. W. de Mesquita, M. O. da Cruz, M. M. Pereira, and M. E. Kreutz. Design space exploration using utnocs and genetic algorithm. In *Computing Systems Engineering (SBESC), 2016 VI Brazilian Symposium on*, pages 198–202. IEEE, 2016.
- [12] D. DiTomaso, A. Kodi, D. Matolak, S. Kaya, S. Laha, and W. Rayess. A-winoc: Adaptive wireless network-on-chip architecture for chip multiprocessors. *IEEE Transactions on Parallel and Distributed Systems*, 26(12):3289–3302, 2015.
- [13] J. Duato, S. Yalamanchili, and L. M. Ni. *Interconnection networks: an engineering approach*. Morgan Kaufmann, 2003.
- [14] Y. Guo, H. Zheng, J. Wang, S. Xiao, G. Li, and Z. Yu. A low-cost and high-throughput virtual-channel router with arbitration optimization. In *2019 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA)*, pages 75–76. IEEE, 2019.
- [15] N. Jiang, J. Balfour, D. U. Becker, B. Towles, W. J. Dally, G. Micheliannakis, and J. Kim. A detailed and flexible cycle-accurate network-on-chip simulator. In *Performance Analysis of Systems and Software (ISPASS), 2013 IEEE International Symposium on*, pages 86–96. IEEE, 2013.
- [16] D. d. S. M. Matos. Interfaces parametrizáveis para aplicações interconectadas por uma rede-em-chip. 2010.
- [17] H. M. G. d. A. Rocha. O problema do mapeamento: Heurísticas de mapeamento de tarefas em mpsocs baseados em noc. B.S. thesis, Universidade Federal do Rio Grande do Norte, 2017.
- [18] M.-h. Tang and J. Lin. A comparative study on rtm and o1turn routings. *DEStech Transactions on Environment, Energy and Earth Sciences*, (icepe), 2019.
- [19] S. Tosun, Y. Ar, and S. Ozdemir. Application-specific topology generation algorithms for network-on-chip design. *IET computers & digital techniques*, 6(5):318–333, 2012.
- [20] P. Vellanki, N. Banerjee, and K. S. Chatha. Quality-of-service and error control techniques for network-on-chip architectures. In *Proceedings of the 14th ACM Great Lakes symposium on VLSI*, pages 45–50. ACM, 2004.
- [21] R. Wu and D. Zhao. Integrated routing and channel arbitration in overlaid mesh winoc. In *SOC Conference (SOCC), 2013 IEEE 26th International*, pages 368–373. IEEE, 2013.
- [22] R. Wu and D. Zhao. Load adaptive multi-channel distribution and arbitration in unequal rf interconnected winoc. In *Circuits and Systems (ISCAS), 2014 IEEE International Symposium on*, pages 1973–1976. IEEE, 2014.
- [23] D. Xiang and Q. Pan. Low-power and high-performance adaptive routing in on-chip networks. *CCF Transactions on High Performance Computing*, 1(2):92–110, 2019.
- [24] C. A. Zeferino. Redes-em-chip: arquiteturas e modelos para avaliação de área e desempenho. 2003.
- [25] C. A. Zeferino, J. V. Bruch, T. F. Pereira, M. E. Kreutz, and A. A. Susin. Avaliação de desempenho de rede-em-chip modelada em systemc. In *Proceedings of the 27rd Congress of Brazilian Computer Society-WPerformance*, pages 559–578, 2007.